

CLIPPEDIMAGE= JP411040608A

PAT-NO: JP411040608A

DOCUMENT-IDENTIFIER: JP 11040608 A

TITLE: SEMICONDUCTOR DEVICE AND ITS MOUNTING METHOD

PUBN-DATE: February 12, 1999

INVENTOR-INFORMATION:

NAME

KIKUCHI, HIROSHI
ANDO, HIDEKO

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP09196994

APPL-DATE: July 23, 1997

INT-CL (IPC): H01L021/60

ABSTRACT:

PROBLEM TO BE SOLVED: To extend the connection life of a solder bump, and also, improve the connection reliability of the solder bump.

SOLUTION: This device comprises a device body part 3 equipped with an element mounting board 2 on which a semiconductor chip 1 is mounted, a printed board 5 where the device body 3 is mounted through a solder bump 4, and a support member 6 which is made of material larger in thermal expansion coefficient than the solder to form the solder bump 4 and further is made lower than the level of the solder bump 4 after mounting of the device body part 3. Then, at fusion of the solder bump 4 at the time of mounting the device body part 3 on the printed board 5 through the solder bump 4, the support

member 6 contacts with
the element mounting board 2 and the printed board 5, and
supports the device
body part 3.

COPYRIGHT: (C)1999,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-40608

(43)公開日 平成11年(1999) 2月12日

(51)Int.Cl.⁶
H 01 L 21/60

識別記号
3 1 1

F I
H 01 L 21/60

3 1 1 S

審査請求 未請求 請求項の数8 O L (全 9 頁)

(21)出願番号 特願平9-196994

(22)出願日 平成9年(1997) 7月23日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 菊地 広

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72)発明者 安藤 英子

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

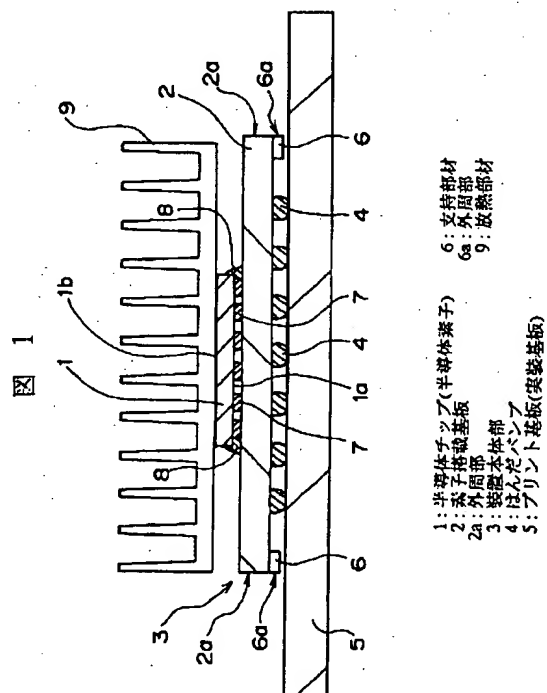
(74)代理人 弁理士 筒井 大和

(54)【発明の名称】 半導体装置およびその実装方法

(57)【要約】

【課題】 はんだバンプの接続寿命を延ばすとともに、
はんだバンプの接続信頼性を向上させる。

【解決手段】 半導体チップ1が搭載された素子搭載基
板2を備える装置本体部3と、装置本体部3をはんだバ
ンプ4を介して実装するプリント基板5と、はんだバ
ンプ4を形成するはんだより熱膨張係数の大きな材料によ
って形成され、かつ装置本体部3実装後のはんだバンプ
4の高さより低く形成された支持部材6とからなり、装
置本体部3をはんだバンプ4を介してプリント基板5に
実装する際のはんだバンプ4の溶融時に、支持部材6が
素子搭載基板2とプリント基板5とに接触して装置本体
部3を支持する。



1

【特許請求の範囲】

【請求項1】 素子搭載基板がはんだバンプを介して実装された半導体装置であって、半導体素子が搭載された前記素子搭載基板を備える装置本体部と、

前記装置本体部を前記はんだバンプを介して実装する実装基板と、

前記はんだバンプを形成するはんだより熱膨張係数の大きな材料によって形成され、かつ前記装置本体部実装後の前記はんだバンプの高さより低く形成された支持部材とを有し、

前記装置本体部を前記はんだバンプを介して前記実装基板に実装する際の前記はんだバンプの溶融時に、前記支持部材が前記素子搭載基板と前記実装基板とに接触して前記装置本体部を支持することを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置であって、前記支持部材が前記装置本体部の前記素子搭載基板に設けられ、かつ前記装置本体部の前記実装基板への実装後に前記支持部材と前記実装基板との間に間隙が形成されていることを特徴とする半導体装置。

【請求項3】 請求項1記載の半導体装置であって、前記支持部材が前記実装基板に設けられ、かつ前記装置本体部の前記実装基板への実装後に前記支持部材と前記素子搭載基板との間に間隙が形成されていることを特徴とする半導体装置。

【請求項4】 請求項1または2記載の半導体装置であって、前記支持部材が前記装置本体部の前記素子搭載基板と一体に形成され、かつ前記装置本体部の前記実装基板への実装後に前記支持部材と前記実装基板との間に間隙が形成されていることを特徴とする半導体装置。

【請求項5】 請求項1, 2, 3または4記載の半導体装置であって、前記支持部材が枠状に形成され、かつこの枠状の外周部が前記素子搭載基板の外周部と同じ大きさに形成されていることを特徴とする半導体装置。

【請求項6】 請求項1, 2, 3, 4または5記載の半導体装置であって、前記装置本体部において前記半導体素子の電極形成面と反対側の背面に放熱部材が取り付けられていることを特徴とする半導体装置。

【請求項7】 素子搭載基板を有した半導体装置の実装方法であって、

前記半導体装置の装置本体部を実装した後のはんだバンプの高さより低く形成され、かつ前記はんだバンプのはんだより熱膨張係数の大きな材料によって形成された支持部材を有する素子搭載基板または実装基板を準備する工程と、

前記素子搭載基板に半導体素子を搭載して前記装置本体部を形成する工程と、

前記支持部材と前記実装基板または前記素子搭載基板との間に間隙を形成して、前記半導体素子が搭載された前

2

記素子搭載基板を備える前記装置本体部を前記実装基板上に前記はんだバンプを介して配置する工程と、

前記はんだバンプを溶融し、前記支持部材によって前記装置本体部を支持しながら前記はんだバンプによって前記素子搭載基板と前記実装基板とを電気的に接続する工程と、

前記はんだバンプを硬化させるとともに前記支持部材を収縮させて、前記支持部材と前記実装基板または前記素子搭載基板との間に間隙を形成した状態で、前記装置本体部を前記実装基板上に前記はんだバンプを介して実装する工程とを有することを特徴とする半導体装置の実装方法。

【請求項8】 素子搭載基板を有した半導体装置の実装方法であって、

前記半導体装置の装置本体部を実装した後のはんだバンプの高さより低く形成され、かつ前記はんだバンプのはんだより熱膨張係数の大きな材料によって形成された支持部材を有する素子搭載基板を準備する工程と、

前記素子搭載基板に半導体素子を搭載して前記装置本体部を形成する工程と、

前記支持部材と前記実装基板との間に間隙を形成して、前記半導体素子が搭載された前記素子搭載基板を備える前記装置本体部を前記実装基板上に前記はんだバンプを介して配置する工程と、

前記はんだバンプを溶融し、前記支持部材によって前記装置本体部を支持しながら前記はんだバンプによって前記素子搭載基板と前記実装基板とを電気的に接続する工程と、

前記はんだバンプを硬化させるとともに前記支持部材を収縮させて、前記支持部材と前記実装基板との間に間隙を形成した状態で、前記装置本体部を前記実装基板上に前記はんだバンプを介して実装する工程とを有することを特徴とする半導体装置の実装方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体製造技術に関し、特に、素子搭載基板と実装基板（プリント基板）とをボール電極であるはんだバンプによって接続する半導体装置およびその実装方法に関する。

【0002】

【従来の技術】以下に説明する技術は、本発明を研究、完成するに際し、本発明者によって検討されたものであり、その概要は次のとおりである。

【0003】高機能・低価格な中央演算装置（MPU）を必要とするパーソナルコンピュータ（以降、パソコンと略す）は様々な分野で利用されているが、ユーザからの多機能化や高性能化の要求が強くなってきている。

【0004】なお、パソコンの機能（特に高速化）は、中央演算装置によってそのほとんどが決定される。

【0005】そこで、高速化に対応した半導体装置の一

10

20

30

40

50

例として、BGA (Ball Grid Array)と称される半導体装置が知られている。

【0006】前記BGAは、半導体素子が搭載された素子搭載基板を備える装置本体部がはんだバンプを介してプリント基板(実装基板)に実装されるものであるが、中央演算装置の高速化に伴い、半導体素子からの発熱量も増えるため、その対策として、半導体素子に熱拡散板などの放熱部材を取り付けて放熱性を向上させるものがある。

【0007】ここで、BGAについては、例えば、日経BP社、1993年5月31日発行、香山晋、成瀬邦彦(監)、「実践講座VLSIパッケージング技術(下)」、174頁に記載されている。

【0008】

【発明が解決しようとする課題】ところが、前記した技術のBGAにおいては、その装置本体部をプリント基板に実装した際に、その構造上、前記装置本体部の重量がそのままはんだバンプにかかる。

【0009】このため、半導体素子に大きな放熱部材を取り付けることは、バンプ潰れを引き起こすことに繋がる。したがって、大きな放熱部材を設置するのは困難であることが問題とされる。

【0010】また、はんだバンプの潰れは発生しなくても、放熱部材を半導体素子に取り付けた場合、その装置本体部の重量によってはんだバンプの接続高さが低くなる場合があり、これにより、はんだバンプの接続寿命が短くなることが問題とされる。

【0011】本発明の目的は、はんだバンプ溶融時のバンプ高さを制御してはんだバンプの接続寿命を延ばすとともに、はんだバンプの接続信頼性を向上させる半導体装置およびその実装方法を提供することにある。

【0012】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0013】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0014】すなわち、本発明の半導体装置は、半導体素子が搭載された素子搭載基板を備える装置本体部と、前記装置本体部を前記はんだバンプを介して実装する実装基板と、前記はんだバンプを形成するはんだより熱膨張係数の大きな材料によって形成され、かつ前記装置本体部実装後の前記はんだバンプの高さより低く形成された支持部材とを有し、前記装置本体部を前記はんだバンプを介して前記実装基板に実装する際の前記はんだバンプの溶融時に、前記支持部材が前記素子搭載基板と前記実装基板とに接触して前記装置本体部を支持するものである。

【0015】これにより、装置本体部の重量が増えても

はんだバンプ溶融時のはんだバンプの高さを支持部材によって制御して装置本体部を実装基板に実装できる。

【0016】したがって、はんだバンプ溶融時のバンプ潰れを防止でき、その結果、はんだバンプ同士のショートを防ぐことができるとともに、はんだバンプの接続信頼性を向上できる。

【0017】また、本発明の半導体装置の実装方法は、半導体装置の装置本体部を実装した後のはんだバンプの高さより低く形成され、かつ前記はんだバンプのはんだより熱膨張係数の大きな材料によって形成された支持部材を有する素子搭載基板または実装基板を準備する工程と、前記素子搭載基板に半導体素子を搭載して前記装置本体部を形成する工程と、前記支持部材と前記実装基板または前記素子搭載基板との間に間隙を形成して、前記半導体素子が搭載された前記素子搭載基板を備える前記装置本体部を前記実装基板上に前記はんだバンプを介して配置する工程と、前記はんだバンプを溶融し、前記支持部材によって前記装置本体部を支持しながら前記はんだバンプによって前記素子搭載基板と前記実装基板とを電気的に接続する工程と、前記はんだバンプを硬化させるとともに前記支持部材を収縮させて、前記支持部材と前記実装基板または前記素子搭載基板との間に間隙を形成した状態で、前記装置本体部を前記実装基板上に前記はんだバンプを介して実装する工程とを有するものである。

【0018】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0019】図1は本発明による半導体装置の構造の実施の形態の一例を示す断面図、図2は本発明の半導体装置の素子搭載基板における支持部材の設置状態の実施の形態の一例を示す底面図、図3(a)、(b)、(c)は本発明の半導体装置の実装方法の実施の形態の一例を示す拡大断面図である。

【0020】本実施の形態による半導体装置は、BGAと同様の構造を有する装置本体部3がはんだバンプ4を介してプリント基板5に実装されたものであり、装置本体部3の素子搭載基板2とプリント基板5とを格子状に配置された複数個のはんだバンプ4によって電気的に接続して装置本体部3をプリント基板5に実装するものである。

【0021】図1に示す前記半導体装置の構成について説明すると、半導体素子である半導体チップ1(LSI (Large Scale Integration))が搭載された素子搭載基板2を備える装置本体部3と、装置本体部3をはんだバンプ4を介して実装するプリント基板5(実装基板)と、はんだバンプ4を形成するはんだより熱膨張係数の大きな材料によって形成され、かつ装置本体部3実装後のはんだバンプ4の高さより低く形成された支持部材6とからなり、装置本体部3をはんだバンプ4を介して

5

プリント基板5に実装する際のはんだバンプ4の溶融時に、支持部材6が素子搭載基板2とプリント基板5とに接触して装置本体部3を支持するものである。

【0022】ここで、半導体チップ1は、素子搭載基板2にはんだなどから成るCCB (Controlled Collapse bonding) バンプ7によってCCBバンプ接続され、これによって、素子搭載基板2に表面実装されるとともに、素子搭載基板2に電氣的に接続されている。

【0023】さらに、装置本体部3は、素子搭載基板2上で素子搭載基板2に搭載された半導体チップ1を封止樹脂8 (アンダーフィル用樹脂) によって封止するとともに、封止樹脂8によってCCBバンプ7の補強を行い、かつ半導体チップ1の表面1bに放熱部材9を取り付けて形成したものであり、前記封止樹脂8には、例えば、エポキシ系の熱硬化性樹脂などを用いる。

【0024】また、素子搭載基板2は、BGAベースとも呼ばれ、例えば、ガラスエポキシ樹脂などによって形成され、かつ平面形状は四角形を成すものであり、格子状に配置された複数のはんだバンプ4によってプリント基板5に実装される。

【0025】さらに、プリント基板5は、種々の半導体装置や電子部品などを搭載する実装基板であり、例えば、エポキシ系の樹脂などによって形成されている。

【0026】また、支持部材6は、はんだバンプ4溶融時のこのはんだバンプ4のバンプ潰れを防止するものであり、はんだバンプ4を形成するはんだより熱膨張係数の大きな材料、例えば、素子搭載基板2と同様のガラスエポキシ樹脂によって形成され、かつ、装置本体部3をプリント基板5に実装した後のはんだバンプ4の高さより低くなるように形成されたものである。

【0027】前記ガラスエポキシ樹脂の熱膨張係数は、一例として、 $30 \times 10^{-6}/^{\circ}\text{C}$ であり、はんだバンプ4に用いるはんだの熱膨張係数は、一例として、 $24 \times 10^{-6}/^{\circ}\text{C}$ である。

【0028】また、前記はんだの融点は、例えば、前記はんだの組成がPb-63wt%Snの場合、約183 $^{\circ}\text{C}$ である。

【0029】ここで、本実施の形態の半導体装置においては、支持部材6が装置本体部3の素子搭載基板2に設けられ、かつ装置本体部3のプリント基板5への実装後に支持部材6とプリント基板5との間に間隙a (図3(c)参照) が形成される場合を説明する。

【0030】つまり、図3(c)に示すように、装置本体部3実装後のはんだバンプ4の高さをHとし、支持部材6の高さをhとし、支持部材6とプリント基板5との間隙をaとすると、 $H=h+a$ で表される。

【0031】なお、支持部材6は、縦断面が四角形の枠状 (図2参照) に形成され、図1に示すように、かつ、この枠状の支持部材6の外周部6aが素子搭載基板2の外周部2aと同じ大きさに形成されている。

6

【0032】さらに、本実施の形態においては、素子搭載基板2を製造する際に、支持部材6が素子搭載基板2と一体に形成されている場合を説明する。

【0033】つまり、支持部材6の外形状を素子搭載基板2の外周部2aにはぼ沿った枠状に形成し、この枠状の支持部材6を、予め、素子搭載基板2の製造工程において、素子搭載基板2と一体に形成する。

【0034】また、本実施の形態の半導体装置は、その装置本体部3において半導体チップ1の電極形成面1aと反対側の背面 (本実施の形態では表面1bのことであり、以降、表面1bと呼ぶ) にアルミニウムなどによって形成された放熱部材9が取り付けられている。

【0035】なお、本実施の形態の半導体装置に取り付けられた放熱部材9は、その平面的な大きさが素子搭載基板2と同じ程度のものである。

【0036】また、前記半導体装置において、半導体チップ1からの信号は、素子搭載基板2内で拡大、伝搬され、その後、プリント基板5に伝えられる。

【0037】次に、本実施の形態の半導体装置の実装方法について説明する。

【0038】なお、本実施の形態では、枠状の支持部材6が素子搭載基板2に一体で設けられ、かつ装置本体部3のプリント基板5への実装後に支持部材6とプリント基板5との間に間隙aが形成される場合を説明する。

【0039】まず、図3に示すように、半導体装置の装置本体部3を実装した後のはんだバンプ4の高さHより低く形成され、かつはんだバンプ4のはんだより熱膨張係数の大きな材料 (本実施の形態ではガラスエポキシ樹脂) によって形成された高さhの支持部材6を有する素子搭載基板2を準備する ($H>h$) 。

【0040】ここで、本実施の形態では、枠状の支持部材6が素子搭載基板2に一体で設けられている場合であるため、素子搭載基板2を製造する際に、多層基板の形成方法を利用して枠状の支持部材6 (図2参照) も素子搭載基板2に一体で形成する。

【0041】なお、枠状の支持部材6を素子搭載基板2と一体でなく、別ピースとして形成し、素子搭載基板2に後から接合する際には、素子搭載基板2の外周部2aと枠状の支持部材6の外周部6aとの位置を合わせ、かつ接着剤によって素子搭載基板2に枠状の支持部材6を取り付ける。

【0042】これにより、高さhの支持部材6を設けた素子搭載基板2を準備できる。

【0043】その後、図1に示すように、素子搭載基板2に半導体チップ1を搭載し、かつ放熱部材9を半導体チップ1に取り付けて装置本体部3を形成する。

【0044】チップマウントの際には、CCBバンプ7を用いて半導体チップ1を素子搭載基板2にCCBバンプ接続する。

【0045】これにより、チップマウントが行われ、半

導体チップ1と素子搭載基板2とが電氣的に接続される。

【0046】続いて、封止樹脂8をCCBバンパ7の接合部および半導体チップ1の周囲に塗布（供給）して半導体チップ1とCCBバンパ7の接合部とを封止樹脂8によって保護する。

【0047】その後、エポキシ系の接着剤などを用いて半導体チップ1の背面すなわち表面1bに放熱部材9を取り付ける。

【0048】さらに、プリント基板5上の所定箇所上にはんだバンパ4を供給し、続いて、図3(a)に示すように、支持部材6とプリント基板5との間に所定の空隙（間隙aより若干大きい程度の空隙）を形成して、半導体チップ1（図1参照）が搭載された素子搭載基板2を備える装置本体部3をプリント基板5上にはんだバンパ4を介して配置する。

【0049】この際、素子搭載基板2の所定のバンパ搭載電極2bと、プリント基板5の所定のバンパ搭載電極5aとをはんだバンパ4を介して両者を対応させた位置に配置する。

【0050】その後、所定温度、例えば、200～240℃の高温雰囲気形成されたリフロー炉（図示せず）に、図3(a)に示す状態の装置本体部3と素子搭載基板2とを搬入し、これらを前記リフロー炉に通す。

【0051】続いて、前記リフロー炉において、はんだバンパ4が加熱されて熔融すると、放熱部材9の重量や素子搭載基板2自身の重量によって、装置本体部3が僅かに下降する。

【0052】この際、支持部材6の熱膨張係数は、はんだバンパ4の熱膨張係数より大きいいため、支持部材6も熱膨張している。

【0053】そこで、はんだバンパ4が熔融して装置本体部3が下降すると、図3(b)に示すように、支持部材6がプリント基板5に接触し、支持部材6によって装置本体部3を支持することができる。

【0054】その結果、装置本体部3は支持部材6によって支えられるため、これ以上下降することはない。したがって、はんだバンパ4熔融時のバンパ潰れの発生を防ぐことができる。

【0055】言い換えると、はんだバンパ4の接続高さ（図3(b)におけるはんだバンパ4の高さ）は、支持部材6の高さhより低くなることはない。

【0056】これにより、支持部材6によって装置本体部3を支持しながら、はんだバンパ4によって素子搭載基板2とプリント基板5とを電氣的に接続する。

【0057】その後、前記リフロー炉の外に前記半導体装置を搬出する。

【0058】所定時間経過後、はんだバンパ4は冷えて常温に戻り硬化する。

【0059】さらに、図3(c)に示すように、はんだ

バンパ4の硬化にともなって支持部材6も冷えて収縮する。

【0060】この時、ガラスエポキシ樹脂からなる支持部材6は、はんだより熱膨張係数が大きく、予め、装置本体部3実装後のはんだバンパ4の高さより低くなるように形成されたものであるため、高さhまで収縮し、これによって、支持部材6とプリント基板5との間には間隙aが形成される。

【0061】その結果、支持部材6とプリント基板5との間に間隙aを形成した状態で、装置本体部3をプリント基板5上にはんだバンパ4を介して実装でき、これにより、装置本体部3とプリント基板5とがはんだバンパ4によって電氣的に接続される。

【0062】なお、間隙aが形成されていることにより、はんだバンパ4は装置本体部3自身からの荷重以外のストレスを受けることはなく、自由度を維持した状態でバンパ接合している。

【0063】本実施の形態の半導体装置およびその実装方法によれば、以下のような作用効果が得られる。

【0064】すなわち、前記半導体装置の装置本体部3をプリント基板5に実装する際、はんだバンパ4の熔融時に装置本体部3を支持する支持部材6を有していることにより、装置本体部3の重量が増えてもはんだバンパ4熔融時のはんだバンパ4の高さを支持部材6によって制御して装置本体部3をプリント基板5に実装できる。

【0065】これにより、はんだバンパ4熔融時のバンパ潰れを防止でき、その結果、はんだバンパ4同士のショートを防ぐことができるとともに、はんだバンパ4の接続信頼性を向上できる。

【0066】また、はんだバンパ4熔融時に装置本体部3を支持部材6によって支持することにより、装置本体部3の重量が増えてもはんだバンパ4を潰すことなく、装置本体部3を支持することができる。

【0067】これにより、半導体チップ1に大きな放熱部材9（例えば、図6に示す放熱部材9）を取り付けることが可能になり、半導体チップ1の放熱性を向上できるとともに、装置本体部3を備えた半導体装置の高性能化を図ることができる。

【0068】さらに、支持部材6によってはんだバンパ4の高さを制御して装置本体部3を実装することにより、実装時のはんだバンパ4の高さ（ここでは、高さHのこと）を確保することができる。

【0069】これにより、はんだバンパ4の高さが設計値より低くなることを防げるため、その結果、はんだバンパ4の接続寿命を延ばすことができる。

【0070】また、この支持部材6が、はんだより熱膨張係数の大きな材料（本実施の形態ではガラスエポキシ樹脂）によって形成されかつ装置本体部3実装後のはんだバンパ4の高さより低くなるように形成されていることにより、はんだバンパ4の硬化とともに支持部材6が

冷めて収縮した際に、支持部材6とプリント基板5との間に間隙aを形成することができる。

【0071】これにより、装置本体部3実装後、支持部材6に起因する応力がはんだバンプ4に対して働くことを防げる。つまり、はんだバンプ4は、このはんだバンプ4が本来有しているバンプ高さ方向の自由度を拘束されることがない。

【0072】したがって、はんだバンプ4は、その接続に悪影響を与えられないため、はんだバンプ4の接続寿命を延ばすことができ、かつ、はんだバンプ4の接続信頼性を向上できる。

【0073】また、支持部材6が装置本体部3の素子搭載基板2と一体に形成されていることにより、素子搭載基板2を多層基板として形成する際に、支持部材6も一緒に形成できるため、装置本体部3における支持部材6の取り付けを簡略化することができる。

【0074】さらに、支持部材6が棒状に形成され、かつこの棒状の支持部材6の外周部6aが素子搭載基板2の外周部2aと同じ大きさに形成されていることにより、支持部材6を素子搭載基板2に取り付ける際の位置決めを簡略化することができる。

【0075】これにより、前記同様、装置本体部3における支持部材6の取り付けを簡略化することができる。

【0076】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0077】例えば、前記実施の形態で説明した半導体装置においては、支持部材6が棒状でかつ素子搭載基板2と一体に形成される場合について説明したが、図4または図5に示す他の実施の形態の支持部材6の設置状態のように、素子搭載基板2の4つの角部2cのそれぞれに(図4参照)、もしくは、素子搭載基板2の4つの辺の中央付近のそれぞれに(図5参照)、高さhの4つの支持部材6を取り付けてもよい。

【0078】これによっても前記実施の形態で説明した作用効果と同様の作用効果が得られる。

【0079】また、前記実施の形態の半導体装置においては、図1に示すように、放熱部材9が素子搭載基板2と同じ程度の大きさの場合について説明したが、図6に示す他の実施の形態の半導体装置のように素子搭載基板2よりも大きな放熱部材9を取り付けた半導体装置であってもよい。

【0080】この半導体装置においても、素子搭載基板2に支持部材6が設けられているため、図1に示した半導体装置と同様の作用効果が得られ、かつ、前記半導体装置における放熱効果をさらに向上でき、その結果、前記半導体装置の性能を向上できる。

【0081】また、前記実施の形態および図4～図6に

示す他の実施の形態においては、支持部材6が素子搭載基板2に設けられる場合について説明したが、図7に示す他の実施の形態の半導体装置のように、支持部材6はマザーボード10(実装基板)に設けられていてもよい。

【0082】すなわち、予め、支持部材6が所定箇所に設けられたマザーボード10を準備し、その後、前記実施の形態の半導体装置の実装方法と同様の方法で装置本体部3をマザーボード10に実装して半導体装置を製造する。

【0083】なお、図7に示す他の実施の形態の半導体装置の場合、支持部材6が実装基板であるマザーボード10に設けられていることにより、装置本体部3の実装後には、支持部材6と素子搭載基板2との間に間隙a(図3(c)参照)が形成される。

【0084】これにより、図7に示す半導体装置によっても、前記実施の形態で説明した作用効果と同様の作用効果が得られる。

【0085】また、支持部材6は、前記実施の形態および前記他の実施の形態で説明したものに限らず、はんだバンプ4のはんだより熱膨張係数が大きく、かつ、予め、装置本体部3実装後のはんだバンプ4の高さより低くなるように形成されたものであれば、その形状、設置数および設置位置は、特に限定されるものではない。

【0086】例えば、支持部材6の形状については、円柱、角柱、あるいは、球などであってもよい。

【0087】さらに、支持部材6の材料についてもガラスエポキシ樹脂以外のものであってもよい。

【0088】また、素子搭載基板2についても、その材料は、ガラスエポキシ樹脂に限定されるものではなく、例えば、アルミナやセラミックなどであってもよい。

【0089】さらに、前記実施の形態あるいは他の実施の形態の半導体装置においては、半導体チップ1の封止(保護)が封止樹脂8による樹脂封止の場合について説明したが、前記封止は、樹脂封止に限らず、キャップなどを用いた封止であってもよい。

【0090】また、半導体チップ1と素子搭載基板2との電気的接続は、CCBバンプ接続に限らず、素子搭載基板2に半導体チップ1をその表裏を反転させて取り付け、その後、ワイヤボンディングによって行うワイヤボンディング接続であってもよい。

【0091】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0092】(1) 半導体装置の装置本体部を実装基板上に実装する際、はんだバンプの溶融時に装置本体部を支持する支持部材を有していることにより、はんだバンプ溶融時のバンプ潰れを防止できる。その結果、はんだバンプ同士のショートを防ぐことができるとともに、は

11

んだバンプの接続信頼性を向上できる。

【0093】(2)．はんだバンプ溶融時に装置本体部を支持部材によって支持することにより、装置本体部の重量が増えてもはんだバンプを潰すことなく、装置本体部を支持することができる。これにより、半導体素子に大きな放熱部材を取り付けることが可能になり、半導体素子の放熱性を向上できるとともに、半導体装置の高性能化を図ることができる。

【0094】(3)．支持部材によってはんだバンプの高さを制御して装置本体部を実装することにより、実装時のはんだバンプの高さを確保することができる。これにより、はんだバンプの高さが低くなることを防げるため、その結果、はんだバンプの接続寿命を延ばすことができる。

【0095】(4)．支持部材が、はんだより熱膨張係数の大きな材料によって形成されかつ装置本体部実装後のはんだバンプの高さより低くなるように形成されていることにより、装置本体部実装後、支持部材に起因する応力がはんだバンプに対して働くことを防げる。したがって、はんだバンプは、その接続に悪影響を与えられないため、はんだバンプの接続寿命を延ばすことができ、かつ、はんだバンプの接続信頼性を向上できる。

【図面の簡単な説明】

【図1】本発明による半導体装置の構造の実施の形態の一例を示す断面図である。

【図2】本発明の半導体装置の素子搭載基板における支持部材の設置状態の実施の形態の一例を示す底面図である。

【図3】(a)、(b)、(c)は本発明の半導体装置の実装方法の実施の形態の一例を示す拡大部分断面図である。

12

【図4】本発明の他の実施の形態である半導体装置の素子搭載基板における支持部材の設置状態を示す底面図である。

【図5】本発明の他の実施の形態である半導体装置の素子搭載基板における支持部材の設置状態を示す底面図である。

【図6】本発明の他の実施の形態である半導体装置の構造を示す断面図である。

【図7】本発明の他の実施の形態である半導体装置の構造を示す断面図である。

【符号の説明】

1 半導体チップ(半導体素子)

1a 電極形成面

1b 表面

2 素子搭載基板

2a 外周部

2b バンプ搭載電極

2c 角部

3 装置本体部

4 はんだバンプ

5 プリント基板(実装基板)

5a バンプ搭載電極

6 支持部材

6a 外周部

7 CCBバンプ

8 封止樹脂

9 放熱部材

10 マザーボード(実装基板)

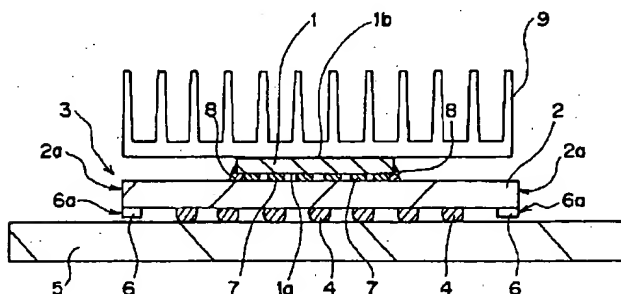
H 装置本体部実装後のはんだバンプの高さ

h 支持部材の高さ

a 間隙

【図1】

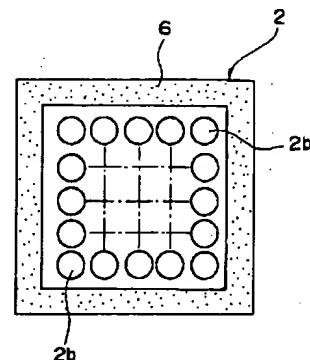
図 1



- | | |
|------------------|---------|
| 1: 半導体チップ(半導体素子) | 6: 支持部材 |
| 2: 素子搭載基板 | 6a: 外周部 |
| 2a: 外周部 | 9: 放熱部材 |
| 3: 装置本体部 | |
| 4: はんだバンプ | |
| 5: プリント基板(実装基板) | |

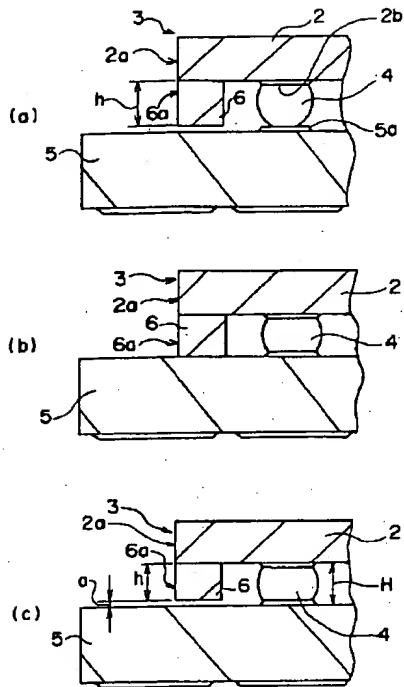
【図2】

図 2



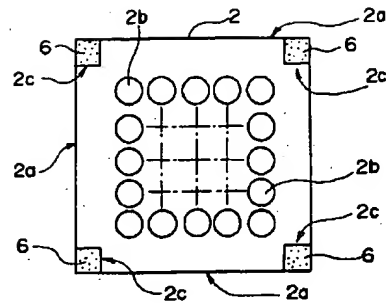
【図3】

図 3



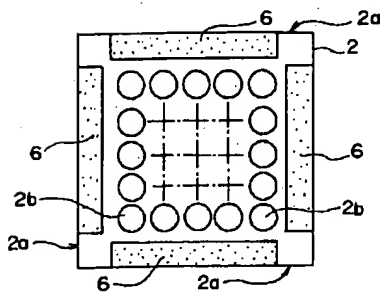
【図4】

図 4



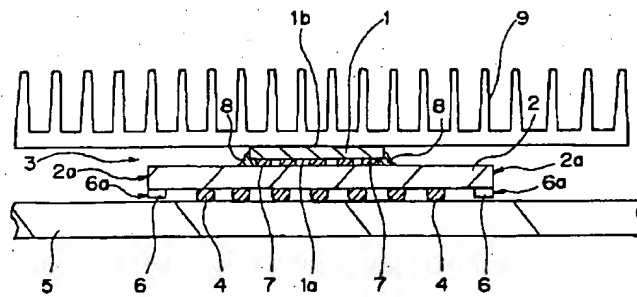
【図5】

図 5



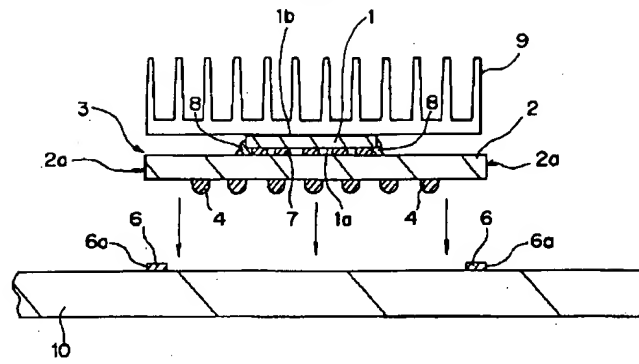
【図6】

図 6



【図7】

図 7



10:マザーボード(実装基板)

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] Especially this invention relates to the semiconductor device which connects an element loading substrate and a mounting substrate (printed circuit board) by the solder bump who is a b electrode, and its mounting method about a semiconductor manufacturing technology.

[0002]

[Description of the Prior Art] the technology explained below -- this invention -- research -- it faces completing, this invention person inquires, and the outline is as follows

[0003] Although the personal computer (it abbreviates to a personal computer henceforth) which needs high efficient and a low price central arithmetic unit (MPU) is used in various fields, the demand of the multi-functionalization from a user or highly-efficient-izing is becoming strong.

[0004] In addition, as for the function (it accelerates especially) of a personal computer, the most is determined by the central arithmetic unit.

[0005] Then, the semiconductor device called BGA (Ball Grid Array) is known as an example of the semiconductor device corresponding to improvement in the speed.

[0006] Although an equipment book soma equipped with the element loading substrate in which the semiconductor device was carried is mounted in a printed circuit board (mounting substrate) through a solder bump, since the calorific value of Above BGA from a semiconductor device also increases with improvement in the speed of a central arithmetic unit, it has some which radiator material, such as a thermal diffusion board, is attached [some] in a semiconductor device, and raise thermolysis nature as the cure.

[0007] Here, BGA is indicated by Nikkei Business Publications, May 31, 1993 issue, Susumu Koyama, Kunihiro Naruse (**), "practice lecture VLSI packaging technology (below)", and 174 pages, for example.

[0008]

[Problem(s) to be Solved by the Invention] However, in BGA of said technology, when the equipment book soma is mounted in a printed circuit board, the weight of the aforementioned equipment book soma is applied to a solder bump as it is on the structure.

[0009] For this reason, attaching big radiator material in a semiconductor device leads to causing bump crushing. Therefore, let it be a problem for it to be difficult to install big radiator material.

[0010] Moreover, even if it did not generate crushing of a solder bump, when radiator material is attached in a semiconductor device, a solder bump's connection height may become low, thereby, a solder bump's connection life short and a bird clapper is made a problem by the weight of the equipment book soma.

[0011] The purpose of this invention is to offer the semiconductor device which raises a solder bump's connection reliability, and its mounting method while it controls the bump height at the time of solder bump melting and prolongs a solder bump's connection life.

[0012] The other purposes and the new feature will become clear from description and the accompanying drawing of this specification at the aforementioned row of this invention.

[0013]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application.

[0014] Namely, the equipment book soma which the semiconductor device of this invention equips with the element loading substrate in which the semiconductor device was carried, It is formed of material with a bigger coefficient of thermal expansion than the mounting substrate which mounts the aforementioned equipment book soma through the

aforementioned solder bump, and the solder which forms the aforementioned solder bump. And it has the supporter material formed lower than the height of the aforementioned solder bump after the aforementioned equipment book soma mounting. At the time of melting of the aforementioned solder bump at the time of mounting the aforementioned equipment book soma in the aforementioned mounting substrate through the aforementioned solder bump, the aforementioned supporter material contacts the aforementioned element loading substrate and the aforementioned mounting substrate, and supports the aforementioned equipment book soma.

[0015] Thereby, even if the weight of an equipment book soma increases, the height of the solder bump at the time of solder bump melting is controlled by supporter material, and an equipment book soma can be mounted in a mounting substrate.

[0016] Therefore, while being able to prevent bump crushing at the time of solder bump melting, consequently being able to prevent solder bumps' short-circuit, a solder bump's connection reliability can be improved.

[0017] Moreover, the mounting method of the semiconductor device of this invention is formed lower than the height of the solder bump after mounting the equipment book soma of a semiconductor device. And the process for which the element loading substrate or mounting substrate which has the supporter material formed of material with a bigger coefficient of thermal expansion than the aforementioned solder bump's solder is prepared. The process which carries the semiconductor device in the aforementioned element loading substrate, and forms the aforementioned equipment book soma. A gap is formed between the aforementioned supporter material, the aforementioned mounting substrate, or the aforementioned element loading substrate. The process which arranges the aforementioned equipment book soma equipped with the aforementioned element loading substrate in which the aforementioned semiconductor device was carried through the aforementioned solder bump on the aforementioned mounting substrate. The process which connects electrically the aforementioned element loading substrate and the aforementioned mounting substrate by the aforementioned solder bump while fusing the aforementioned solder bump and supporting the aforementioned equipment book soma by the aforementioned supporter material. While stiffening the aforementioned solder bump, the aforementioned supporter material is shrunk, and it is in the state in which the gap was formed between the aforementioned supporter material, the aforementioned mounting substrate, or the aforementioned element loading substrate, and has the process which mounts the aforementioned equipment book soma through the aforementioned solder bump on the aforementioned mounting substrate.

[0018]

[Embodiments of the Invention] Hereafter, the gestalt of operation of this invention is explained in detail based on a drawing.

[0019] The cross section showing an example of the gestalt of operation of the structure of the semiconductor device according to [drawing 1] to this invention, the bottom plan view showing an example of the gestalt of operation of the installation state of supporter material in the element loading substrate of the semiconductor device of this invention / in [drawing 2], [drawing 3] (a), (b), and (c) are the expansion fragmentary sectional views showing an example of the gestalt of implementation of the mounting method of the semiconductor device of this invention.

[0020] The equipment book soma 3 which has the same structure as BGA is mounted in a printed circuit board 5 through the solder bump 4, and the semiconductor device by the gestalt of this operation connects electrically the element loading substrate 2 and printed circuit board 5 of the equipment book soma 3 by two or more solder bumps 4 stationed in the shape of a grid, and mounts the equipment book soma 3 in a printed circuit board 5.

[0021] The equipment book soma 3 equipped with the element loading substrate 2 in which the semiconductor chip 1 (LSI (Large Scale Integration)) which is a semiconductor device was carried when the composition of the aforementioned semiconductor device shown in drawing 1 was explained, The printed circuit board 5 (mounting substrate) which mounts the equipment book soma 3 through the solder bump 4, It is formed of material with a bigger coefficient of thermal expansion than the solder which forms the solder bump 4. And it consists of supporter material formed lower than the height of the solder bump 4 after equipment book soma 3 mounting. At the time of melting of the solder bump 4 at the time of mounting the equipment book soma 3 in a printed circuit board 5 through the solder bump 4, the supporter material 6 contacts the element loading substrate 2 and a printed circuit board 5, and supports equipment book soma 3.

[0022] Here, it is electrically connected to the element loading substrate 2 while CCB bump connection is made by the CCB (Controlled Collapse bonding) bump 7 who changes from solder etc. to the element loading substrate 2 and the surface mount of the semiconductor chip 1 is carried out to the element loading substrate 2 by this.

[0023] Furthermore, the equipment book soma 3 reinforces the CCB bump 7 with the closure resin 8, and attaches and forms the radiator material 9 in surface 1b of a semiconductor chip 1, and uses the thermosetting resin of for example an epoxy system etc. for the aforementioned closure resin 8 while it closes the semiconductor chip 1 carried in the

element loading substrate 2 on the element loading substrate 2 with the closure resin 8 (resin for under-filling).

[0024] Moreover, it is also called the BGA base, for example, is formed of a glass epoxy resin etc., and a flat-surface configuration accomplishes a square, and the element loading substrate 2 is mounted in a printed circuit board 5 by t or more solder bumps 4 stationed in the shape of a grid.

[0025] Furthermore, a printed circuit board 5 is a mounting substrate in which various semiconductor devices, electronic parts, etc. are carried, for example, is formed with the resin of an epoxy system etc.

[0026] Moreover, the supporter material 6 is formed so that it may become lower than the height of the solder bump after preventing bump crushing of this solder bump 4 at the time of solder bump 4 melting, and being formed by material with a bigger coefficient of thermal expansion than the solder which forms the solder bump 4, for example, same glass epoxy resin as the element loading substrate 2, and mounting the equipment book soma 3 in a printed circuit board 5.

[0027] The coefficient of thermal expansion of the aforementioned glass epoxy resin is $30 \times 10^{-6}/\text{degree C}$ as an example, and the coefficient of thermal expansion of the solder used for the solder bump 4 is $24 \times 10^{-6}/\text{degree C}$ as an example.

[0028] Moreover, the melting point of the aforementioned solder is about 183 degrees C, when composition of for example, the aforementioned solder is Pb-63wt%Sn.

[0029] The case where the supporter material 6 is formed in the element loading substrate 2 of the equipment book soma 3, and Gap a (refer to drawing 3 (c)) is formed between the supporter material 6 and a printed circuit board 5 in the semiconductor device of the gestalt of this operation here after mounting to the printed circuit board 5 of the equipment book soma 3 is explained.

[0030] That is, it is expressed with H^*h+a , when the height of the solder bump 4 after equipment book soma 3 mounting is set to H, the height of the supporter material 6 is set to h and the gap of the supporter material 6 and a printed circuit board 5 is set to a, as shown in drawing 3 (c).

[0031] In addition, as the longitudinal section is formed in the shape of [square] a frame (refer to drawing 2) and the supporter material 6 is shown in drawing 1 , periphery section 6a of the supporter material 6 of the shape of this frame is formed in the same size as periphery section 2a of the element loading substrate 2.

[0032] Furthermore, in the gestalt of this operation, in case the element loading substrate 2 is manufactured, the case where the supporter material 6 is formed in the element loading substrate 2 and one is explained.

[0033] That is, the appearance configuration of the supporter material 6 is formed in the shape of [which met mostly periphery section 2a of the element loading substrate 2] a frame, and the supporter material 6 of the shape of this frame is beforehand formed in the element loading substrate 2 and one in the manufacturing process of the element loading substrate 2.

[0034] Moreover, the radiator material 9 by which the semiconductor device of the gestalt of this operation was formed in the tooth back (it is the thing of surface 1b and henceforth referred to as surface 1b with the gestalt of this operation of electrode forming face 1a of a semiconductor chip 1 and an opposite side of aluminum etc. in the equipment book soma 3 is attached).

[0035] In addition, the radiator material 9 attached in the semiconductor device of the gestalt of this operation is the thing of the grade as the element loading substrate 2 that the superficial size is the same.

[0036] Moreover, it sets to the aforementioned semiconductor device, and the signal from a semiconductor chip 1 is expanded and spread within the element loading substrate 2, and is told to a printed circuit board 5 after that.

[0037] Next, the mounting method of the semiconductor device of the gestalt this operation is explained.

[0038] In addition, the gestalt of this operation explains the case where the frame-like supporter material 6 is formed in the element loading substrate 2 by one, and Gap a is formed between the supporter material 6 and a printed circuit board 5 after mounting to the printed circuit board 5 of the equipment book soma 3.

[0039] First, as shown in drawing 3 , the element loading substrate 2 which has the supporter material 6 of height h which was formed lower than height H of the solder bump 4 after mounting the equipment book soma 3 of a semiconductor device, and was formed of material with a bigger coefficient of thermal expansion (the gestalt of this operation glass epoxy resin) than the solder bump's 4 solder is prepared ($H>h$).

[0040] With the gestalt of this operation here, since it is the case where the frame-like supporter material 6 is formed in the element loading substrate 2 by one, in case the element loading substrate 2 is manufactured, the frame-like supporter material 6 (refer to drawing 2) is also formed in the element loading substrate 2 by one using the formation method of a multilayer substrate.

[0041] In addition, in case the frame-like supporter material 6 is formed not as the element loading substrate 2 and one but as another piece and back shell junction is carried out at the element loading substrate 2, the position of periphery

section 2a of the element loading substrate 2 and periphery section 6a of the frame-like supporter material 6 is doubled and the frame-like supporter material 6 is attached in the element loading substrate 2 with adhesives.

[0042] Thereby, the element loading substrate 2 which formed the supporter material 6 of height h can be prepared.

[0043] Then, as shown in drawing 1, a semiconductor chip 1 is carried in the element loading substrate 2, and the radiator material 9 is attached in a semiconductor chip 1, and the equipment book soma 3 is formed.

[0044] In the case of chip mounting, CCB bump connection of the semiconductor chip 1 is made at the element load substrate 2 using the CCB bump 7.

[0045] Thereby, chip mounting is performed and a semiconductor chip 1 and the element loading substrate 2 are connected electrically.

[0046] Then, the closure resin 8 is applied to the CCB bump's 7 joint, and the circumference of a semiconductor chip (supply), and a semiconductor chip 1 and the CCB bump's 7 joint are protected with the closure resin 8.

[0047] Then, the radiator material 9 is attached in the tooth back of a semiconductor chip 1, i.e., surface 1b, using the adhesives of an epoxy system etc.

[0048] Furthermore, as the solder bump 4 is supplied on the predetermined part on a printed circuit board 5, then it is shown in drawing 3 (a), a predetermined opening (opening of a larger grade a little than Gap a) is formed between the supporter material 6 and a printed circuit board 5, and the equipment book soma 3 equipped with the element loading substrate 2 in which the semiconductor chip 1 (refer to drawing 1) was carried is arranged through the solder bump on a printed circuit board 5.

[0049] Under the present circumstances, predetermined bump loading electrode 2b of the element loading substrate 2 and predetermined bump loading electrode 5a of a printed circuit board 5 are arranged in the position to which both were made to correspond through the solder bump 4.

[0050] Then, the equipment book soma 3 and the element loading substrate 2 of the state which shows in drawing 3 are carried in to the reflow furnace (not shown) in which predetermined temperature, for example, 200-240-degree C elevated-temperature atmosphere, was formed, and it lets these pass at the aforementioned reflow furnace.

[0051] Then, in the aforementioned reflow furnace, if the solder bump 4 is heated and it fuses, the equipment book soma 3 will descend slightly with the weight of the radiator material 9, or the weight of element loading substrate 2 self.

[0052] Under the present circumstances, since the coefficient of thermal expansion of the supporter material 6 is larger than the solder bump's 4 coefficient of thermal expansion, it is also expanding thermally the supporter material 6.

[0053] Then, if the solder bump 4 fuses and the equipment book soma 3 descends, as shown in drawing 3 (b), the supporter material 6 can contact a printed circuit board 5, and can support the equipment book soma 3 by the supporter material 6.

[0054] Consequently, in order to support the equipment book soma 3 by the supporter material 6, it does not descend any more. Therefore, generating of bump crushing at the time of solder bump 4 melting can be prevented.

[0055] In other words, there is no connection height (the solder bump's 4 height in drawing 3 (b)) of the solder bump with a bird clapper lower than height h of the supporter material 6.

[0056] Thereby, the element loading substrate 2 and a printed circuit board 5 are electrically connected by the solder bump 4, supporting the equipment book soma 3 by the supporter material 6.

[0057] Then, the aforementioned semiconductor device is taken out outside the aforementioned reflow furnace.

[0058] After predetermined-time progress, the solder bump 4 gets cold, and returns and hardens in ordinary temperature.

[0059] Furthermore, as shown in drawing 3 (c), with the solder bump's 4 hardening, the supporter material 6 also get cold and is contracted.

[0060] Since the supporter material 6 which consists of a glass epoxy resin at this time is formed so that a coefficient thermal expansion may be large and it may become lower than the height of the solder bump 4 after equipment book soma 3 mounting beforehand from solder, it contracts to height h and Gap a is formed between the supporter material and a printed circuit board 5 of this.

[0061] Consequently, where Gap a is formed between the supporter material 6 and a printed circuit board 5, the equipment book soma 3 can be mounted through the solder bump 4 on a printed circuit board 5, and, thereby, the equipment book soma 3 and a printed circuit board 5 are electrically connected by the solder bump 4.

[0062] In addition, by forming Gap a, the solder bump 4 is doing bump junction, where it did not receive any stress other than the load from equipment book soma 3 self and flexibility is maintained.

[0063] According to the semiconductor device and its mounting method of a gestalt of this operation, the following operation effects are acquired.

[0064] That is, in case the equipment book soma 3 of the aforementioned semiconductor device is mounted in a printed circuit board 5, even if the weight of the equipment book soma 3 increases by having the supporter material 6 which supports the equipment book soma 3 at the time of the solder bump's 4 melting, the height of the solder bump 4 at the time of solder bump 4 melting is controlled by the supporter material 6, and the equipment book soma 3 can be mounted in a printed circuit board 5.

[0065] While being able to prevent bump crushing at the time of solder bump 4 melting, consequently being able to prevent short-circuit of solder bump 4 comrades by this, the solder bump's 4 connection reliability can be improved.

[0066] Moreover, the equipment book soma 3 can be supported, without crushing the solder bump 4, even if the weight of the equipment book soma 3 increases by supporting the equipment book soma 3 by the supporter material 6 at the time of solder bump 4 melting.

[0067] While this is enabled to attach in a semiconductor chip 1 the big radiator material 9 (for example, radiator material 9 shown in drawing 6) and it can improve the thermolysis nature of a semiconductor chip 1, highly efficientization of the semiconductor device equipped with the equipment book soma 3 can be attained.

[0068] Furthermore, the height (here thing of height H) of the solder bump 4 at the time of mounting is securable by controlling the solder bump's 4 height by the supporter material 6, and mounting the equipment book soma 3.

[0069] Since the solder bump's 4 height can prevent a bird clapper by this lower than a design value consequently, the solder bump's 4 connection life can be prolonged.

[0070] Moreover, this supporter material 6 is formed of material with a bigger coefficient of thermal expansion (the gestalt of this operation glass epoxy resin) than solder, and when the supporter material 6 cooled down and contracts with the solder bump's 4 hardening by being formed so that it may become lower than the height of the solder bump after equipment book soma 3 mounting, Gap a can be formed between the supporter material 6 and a printed circuit board 5.

[0071] Thereby, it can prevent the stress resulting from the supporter material 6 working to the solder bump 4 after equipment book soma 3 mounting. That is, the solder bump 4 does not have the flexibility of the bump height directly which this solder bump 4 originally has restrained.

[0072] Therefore, since the solder bump 4 cannot have a bad influence on the connection, she can prolong the solder bump's 4 connection life, and can improve the solder bump's 4 connection reliability.

[0073] Moreover, since the supporter material 6 can also be formed together in case the element loading substrate 2 is formed as a multilayer substrate by forming the supporter material 6 in the element loading substrate 2 of the equipment book soma 3, and one, installation of the supporter material 6 in the equipment book soma 3 can be simplified.

[0074] Furthermore, positioning at the time of attaching the supporter material 6 in the element loading substrate 2 can be simplified by forming the supporter material 6 in the shape of a frame, and forming periphery section 6a of the supporter material 6 of the shape of a frame of a parenthesis in the same size as periphery section 2a of the element loading substrate 2.

[0075] Thereby, installation of the supporter material 6 in the equipment book soma 3 can be simplified like the above.

[0076] As mentioned above, although invention made by this invention person was concretely explained based on the gestalt of implementation of invention, it cannot be overemphasized by this invention that it can change variously in range which is not limited to the gestalt of implementation of the aforementioned invention and does not deviate from the summary.

[0077] For example, although the supporter material 6 is a frame-like and the case where it was formed in the element loading substrate 2 and one was explained in the semiconductor device explained with the gestalt of the aforementioned implementation Like the installation state of the supporter material 6 of the gestalt of other operations shown in drawing 4 or drawing 5, you may attach four supporter material 6 of (refer to drawing 5) and height h in four each of corner 2c of the element loading substrate 2 at each (refer to drawing 4) or near the center of the four sides of the element loading substrate 2.

[0078] The operation effect explained with the gestalt of the aforementioned implementation also by this and the same operation effect are acquired.

[0079] Moreover, in the semiconductor device of the gestalt of the aforementioned implementation, although the case of the size of the grade as the element loading substrate 2 that the radiator material 9 is the same was explained as shown in drawing 1, you may be the semiconductor device which attached the bigger radiator material 9 than the element loading substrate 2 like the semiconductor device of the gestalt of other operations shown in drawing 6.

[0080] Also in this semiconductor device, since the supporter material 6 is formed in the element loading substrate 2 the same operation effect as the semiconductor device shown in drawing 1 can be acquired, the thermolysis effect in

aforementioned semiconductor device can be improved further, consequently the performance of the aforementioned semiconductor device can be improved.

[0081] Moreover, in the gestalt of other operations shown in the gestalt of the aforementioned implementation and drawing 4 - drawing 6, although the case where the supporter material 6 was formed in the element loading substrate was explained, the supporter material 6 may be formed in the mother board 10 (mounting substrate) like the semiconductor device of the gestalt of other operations shown in drawing 7.

[0082] That is, beforehand, the mother board 10 prepared in the predetermined part is prepared, and the supporter material 6 mounts the equipment book soma 3 in a mother board 10 by the mounting method of the semiconductor device of the gestalt the aforementioned implementation, and the same method, and manufactures a semiconductor device after that.

[0083] In addition, in the case of the semiconductor device of the gestalt of other operations shown in drawing 7, after mounting of the equipment book soma 3, Gap a (refer to drawing 3 (c)) is formed between the supporter material 6 and the element loading substrate 2 by being prepared in the mother board 10 whose supporter material 6 is a mounting substrate.

[0084] The operation effect which this explained with the gestalt of the aforementioned implementation also with the semiconductor device shown in drawing 7, and the same operation effect are acquired.

[0085] Moreover, if the supporter material 6 is formed so that a coefficient of thermal expansion may be large and may become lower than the height of the solder bump 4 after equipment book soma 3 mounting beforehand from not only thing but the solder bump's 4 solder explained with the gestalt of the aforementioned implementation, and the gestalt operation of others [above], the configuration, the number of installation, and especially an installation position will not be limited.

[0086] For example, about the configuration of the supporter material 6, you may be a pillar, a prism, or a sphere.

[0087] Furthermore, you may be things other than a glass epoxy resin also about the material of the supporter material 6.

[0088] Moreover, the material may not be limited to a glass epoxy resin about the element loading substrate 2, and may be an alumina, a ceramic, etc.

[0089] Furthermore, in the semiconductor device of the gestalt of the aforementioned implementation, or the gestalt of other operations, although closure (protection) of a semiconductor chip 1 explained just in the case of the resin seal but the closure resin 8, the aforementioned closure may be the closure which used not only a resin seal but the cap etc.

[0090] Moreover, the electrical installation of a semiconductor chip 1 and the element loading substrate 2 may be wirebonding connection which is made to reverse the front reverse side, attaches a semiconductor chip 1, and perform it not only to CCB bump connection but to the element loading substrate 2 with wire bond after that.

[0091]

[Effect of the Invention] It will be as follows if the effect acquired by the typical thing among invention indicated in this application is explained briefly.

[0092] (1) In case the equipment book soma of semiconductor device is mounted in a mounting substrate, bump crushing at the time of solder bump melting can be prevented by having the supporter material which supports an equipment book soma at the time of a solder bump's melting. Consequently, while being able to prevent solder bump short-circuit, a solder bump's connection reliability can be improved.

[0093] (2) An equipment book soma can be supported without crushing a solder bump, even if the weight of an equipment book soma increases by supporting an equipment book soma by supporter material at the time of solder bump melting. While this is enabled to attach big radiator material in a semiconductor device and it can improve the thermolysis nature of a semiconductor device, highly efficient-ization of a semiconductor device can be attained.

[0094] (3) By controlling a solder bump's height by supporter material, and mounting an equipment book soma, the height of the solder bump at the time of mounting is securable. Since a solder bump's height can prevent a bird clapp low by this consequently, a solder bump's connection life can be prolonged.

[0095] (4) It can prevent the stress resulting from supporter material working to a solder bump after equipment book soma mounting by forming supporter material of material with a bigger coefficient of thermal expansion than solder and forming it so that it may become lower than the height of the solder bump after equipment book soma mounting. Therefore, since a solder bump cannot have a bad influence on the connection, she can prolong a solder bump's connection life, and can improve a solder bump's connection reliability.

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device which is equipped with the following and characterized by for the aforementioned supporter material contacting the aforementioned element loading substrate and the aforementioned mounting substrate, and supporting the aforementioned equipment book soma at the time of melting of the aforementioned solder bump at the time of mounting the aforementioned equipment book soma in the aforementioned mounting substrate through the aforementioned solder bump. An equipment book soma equipped with the aforementioned element loading substrate in which an element loading substrate is the semiconductor device mounted through the solder bump, and the semiconductor device was carried. The mounting substrate which mounts the aforementioned equipment book soma through the aforementioned solder bump. Supporter material which was formed of material with a bigger coefficient thermal expansion than the solder which forms the aforementioned solder bump, and was formed lower than the height of the aforementioned solder bump after the aforementioned equipment book soma mounting.

[Claim 2] The semiconductor device characterized by being a semiconductor device according to claim 1, preparing aforementioned supporter material in the aforementioned element loading substrate of the aforementioned equipment book soma, and forming the gap between the aforementioned supporter material and the aforementioned mounting substrate after mounting to the aforementioned mounting substrate of the aforementioned equipment book soma.

[Claim 3] The semiconductor device characterized by being a semiconductor device according to claim 1, preparing aforementioned supporter material in the aforementioned mounting substrate, and forming the gap between the aforementioned supporter material and the aforementioned element loading substrate after mounting to the aforementioned mounting substrate of the aforementioned equipment book soma.

[Claim 4] The semiconductor device characterized by being a semiconductor device according to claim 1 or 2, forming the aforementioned supporter material in the aforementioned element loading substrate of the aforementioned equipment book soma, and one, and forming the gap between the aforementioned supporter material and the aforementioned mounting substrate after mounting to the aforementioned mounting substrate of the aforementioned equipment book soma.

[Claim 5] The semiconductor device characterized by being a semiconductor device according to claim 1, 2, 3, or 4, forming the aforementioned supporter material in the shape of a frame, and forming the periphery section of the shape of a frame of a parenthesis in the same size as the periphery section of the aforementioned element loading substrate.

[Claim 6] The semiconductor device which is a semiconductor device according to claim 1, 2, 3, 4, or 5, and is characterized by attaching radiator material in the electrode forming face of the aforementioned semiconductor device and the tooth back of an opposite side in the aforementioned equipment book soma.

[Claim 7] The mounting method of a semiconductor device characterized by providing the following. The process for which the element loading substrate or mounting substrate which has the supporter material which is the mounting method of a semiconductor device with the element loading substrate, and was formed lower than the height of the solder bump after mounting the equipment book soma of the aforementioned semiconductor device, and was formed of material with a bigger coefficient of thermal expansion than the aforementioned solder bump's solder is prepared. The process which carries a semiconductor device in the aforementioned element loading substrate, and forms the aforementioned equipment book soma. The process which arranges the aforementioned equipment book soma equipped with the aforementioned element loading substrate in which the gap was formed between the aforementioned supporter material, the aforementioned mounting substrate, or the aforementioned element loading substrate, and the aforementioned semiconductor device was carried through the aforementioned solder bump on the aforementioned mounting substrate. The process which connects electrically the aforementioned element loading substrate and the aforementioned mounting substrate by the aforementioned solder bump while fusing the aforementioned solder bump and supporting the aforementioned equipment book soma by the aforementioned supporter material, The process which

mounts the aforementioned equipment book soma through the aforementioned solder bump on the aforementioned mounting substrate where it shrank the aforementioned supporter material while stiffening the aforementioned solder bump, and a gap is formed between the aforementioned supporter material, the aforementioned mounting substrate, and the aforementioned element loading substrate.

[Claim 8] The mounting method of a semiconductor device characterized by providing the following. The process for which the element loading substrate which has the supporter material which is the mounting method of a semiconductor device with the element loading substrate, and was formed lower than the height of the solder bump after mounting the equipment book soma of the aforementioned semiconductor device, and was formed of material with a bigger coefficient of thermal expansion than the aforementioned solder bump's solder is prepared. The process which carries a semiconductor device in the aforementioned element loading substrate, and forms the aforementioned equipment book soma. The process which arranges the aforementioned equipment book soma equipped with the aforementioned element loading substrate in which the gap was formed between the aforementioned supporter material and the aforementioned mounting substrate, and the aforementioned semiconductor device was carried through the aforementioned solder bump on the aforementioned mounting substrate. The process which connects electrically the aforementioned element loading substrate and the aforementioned mounting substrate by the aforementioned solder bump while fusing the aforementioned solder bump and supporting the aforementioned equipment book soma by the aforementioned supporter material, The process which mounts the aforementioned equipment book soma through the aforementioned solder bump on the aforementioned mounting substrate where it shrank the aforementioned supporter material while stiffening the aforementioned solder bump, and a gap is formed between the aforementioned supporter material and the aforementioned mounting substrate.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the cross section showing an example of the gestalt of operation of the structure of the semiconductor device by this invention.

[Drawing 2] It is the bottom plan view showing an example of the gestalt of operation of the installation state of the supporter material in the element loading substrate of the semiconductor device of this invention.

[Drawing 3] (a), (b), and (c) are the expansion fragmentary sectional views showing an example of the gestalt of implementation of the mounting method of the semiconductor device of this invention.

[Drawing 4] It is the bottom plan view showing the installation state of the supporter material in the element loading substrate of the semiconductor device which is the gestalt of other operations of this invention.

[Drawing 5] It is the bottom plan view showing the installation state of the supporter material in the element loading substrate of the semiconductor device which is the gestalt of other operations of this invention.

[Drawing 6] It is the cross section showing the structure of the semiconductor device which is the gestalt of other operations of this invention.

[Drawing 7] It is the cross section showing the structure of the semiconductor device which is the gestalt of other operations of this invention.

[Description of Notations]

1 Semiconductor Chip (Semiconductor Device)

1a Electrode forming face

1b Front face

2 Element Loading Substrate

2a Periphery section

2b Bump loading electrode

2c Corner

3 Equipment Book Soma

4 Solder Bump

5 Printed Circuit Board (Mounting Substrate)

5a Bump loading electrode

6 Supporter Material

6a Periphery section

7 CCB Bump

8 Closure Resin

9 Radiator Material

10 Mother Board (Mounting Substrate)

H Height of the solder bump after equipment book soma mounting

h Height of supporter material

Gap

[Translation done.]

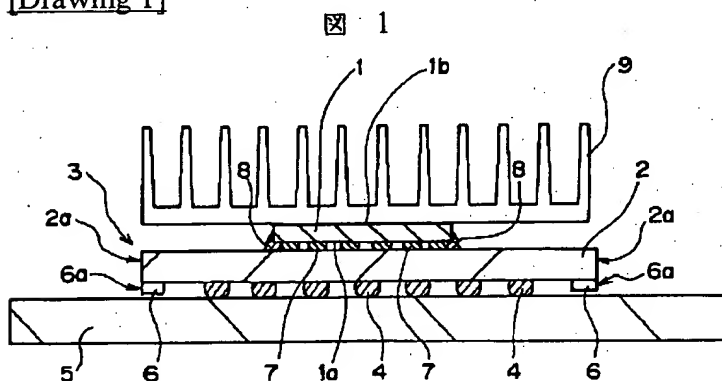
*.NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

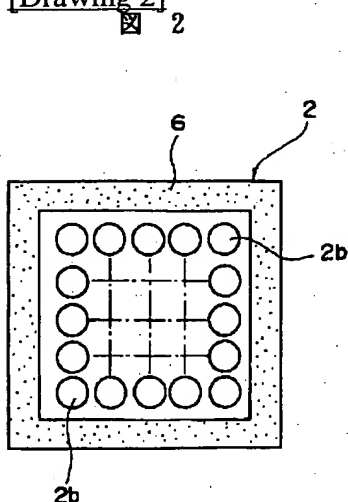
DRAWINGS

[Drawing 1]



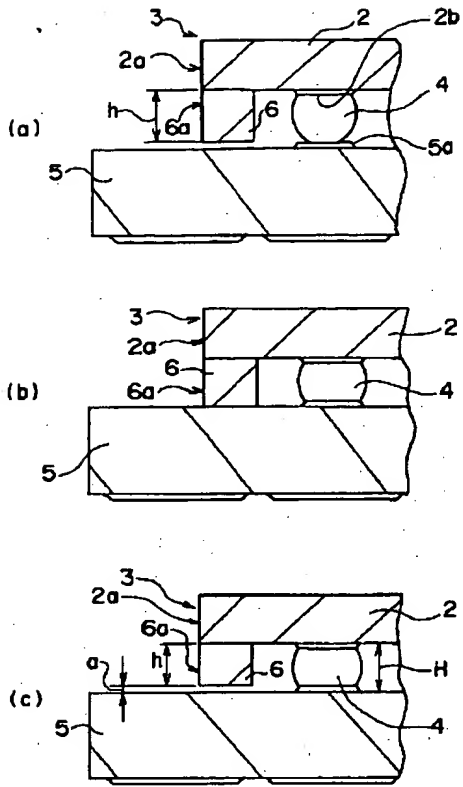
- | | |
|------------------|---------|
| 1: 半導体チップ(半導体素子) | 6: 支持部材 |
| 2: 素子搭載基板 | 6a: 外周部 |
| 2a: 外周部 | 9: 放熱部材 |
| 3: 装置本体部 | |
| 4: はんだバンブ | |
| 5: プリント基板(実装基板) | |

[Drawing 2]



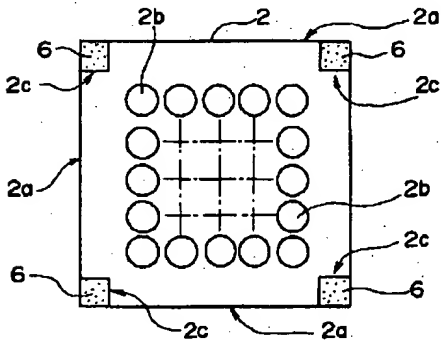
[Drawing 3]

Fig. 3



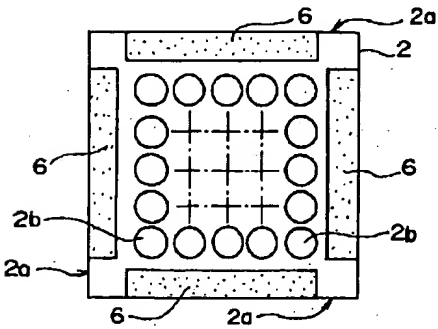
[Drawing 4]

Fig. 4



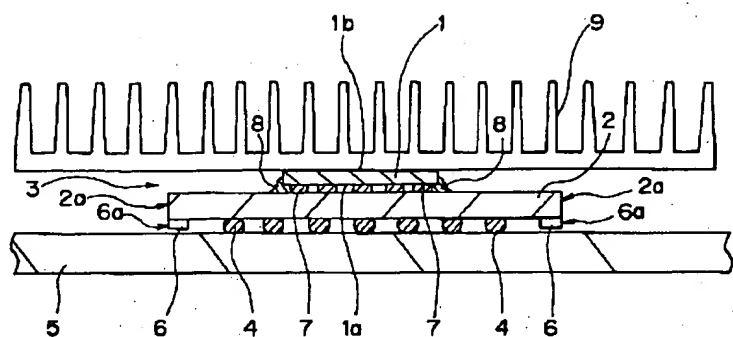
[Drawing 5]

Fig. 5



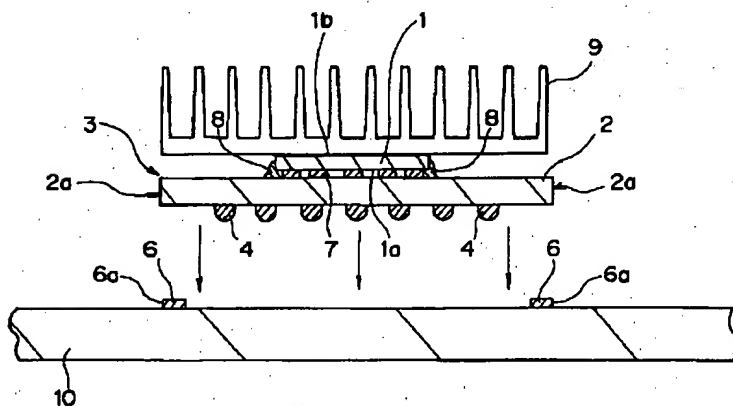
[Drawing 6]

図 6



[Drawing 7]

図 7



10: マザーボード(実装基板)

[Translation done.]